



UNIVERSIDAD DE  
**Belgrano**  
BUENOS AIRES - ARGENTINA



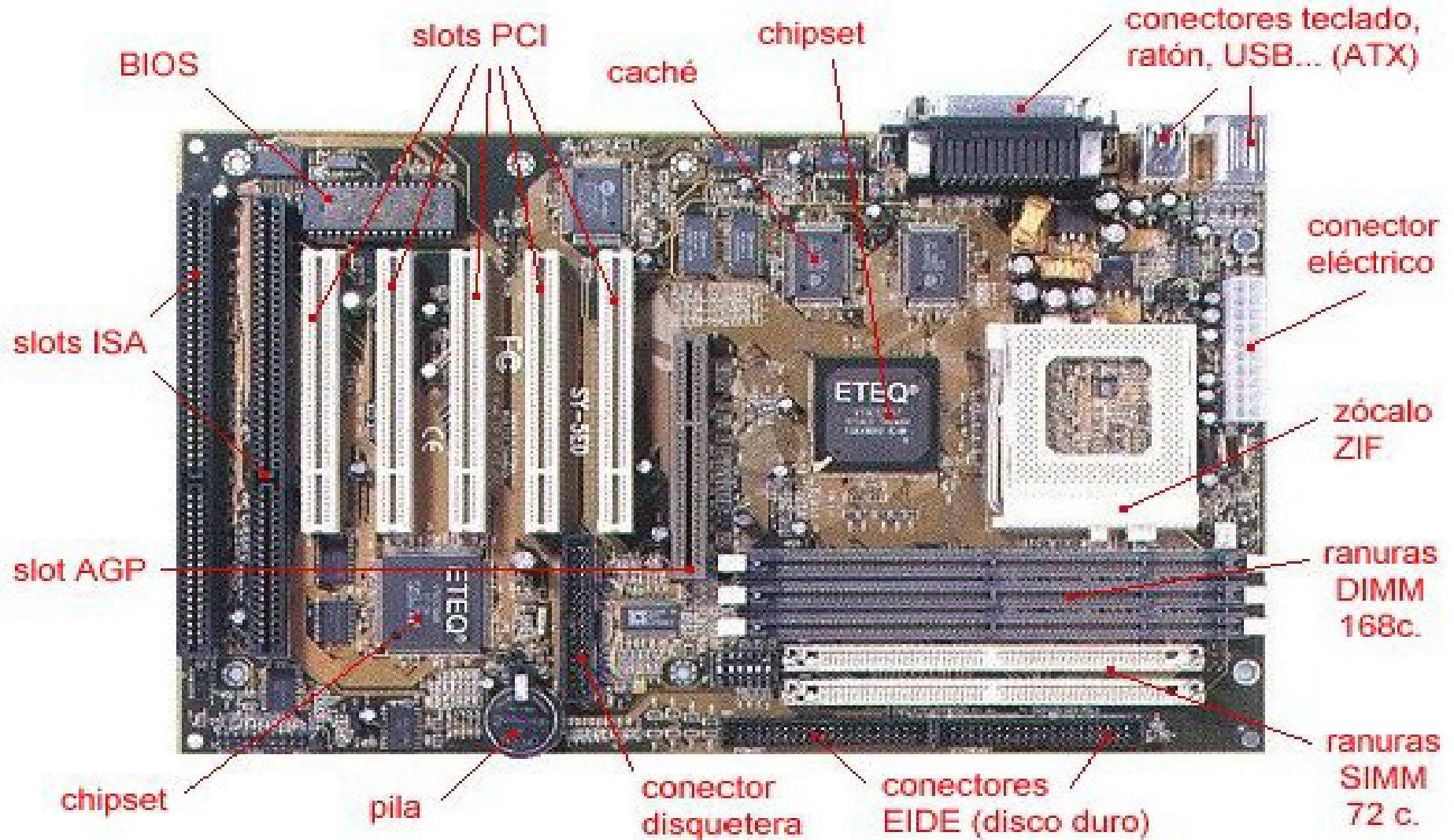
# ORGANIZACION DE COMPUTADORAS

## UNIDAD 2

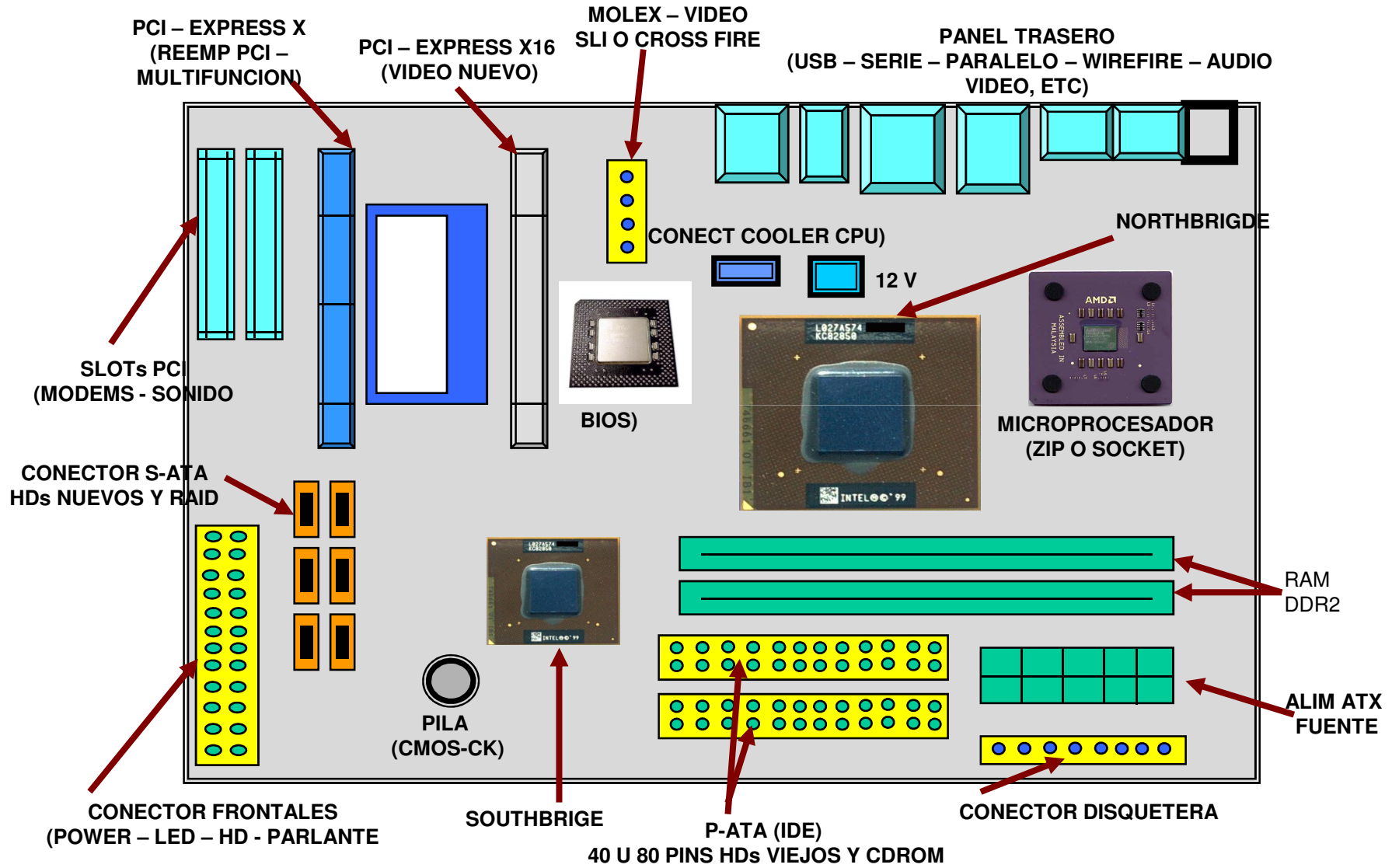
### Arquitectura de Computadoras

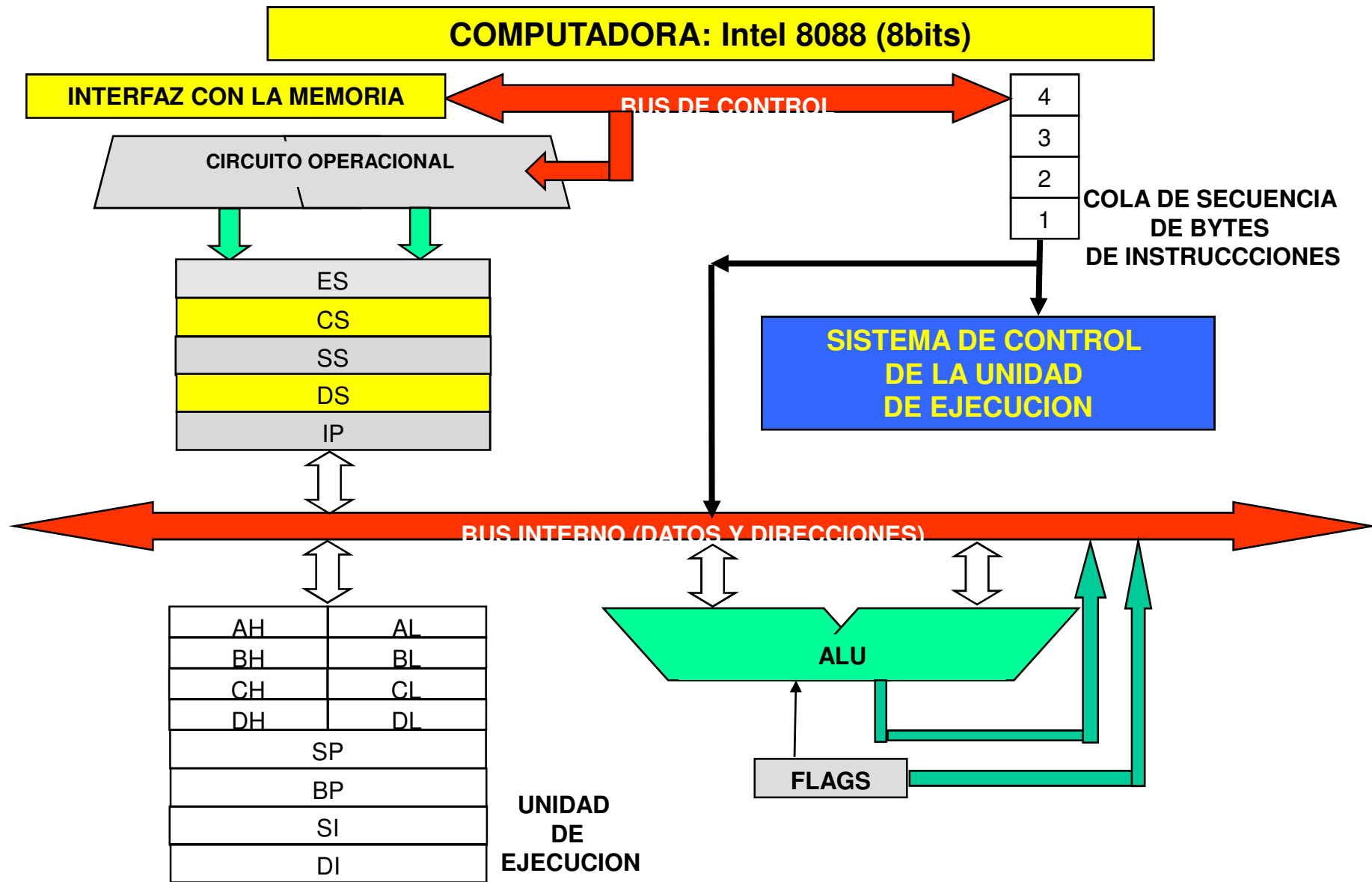
(501 -560)

ARQUITECTURA PC - MOTHERBOARD

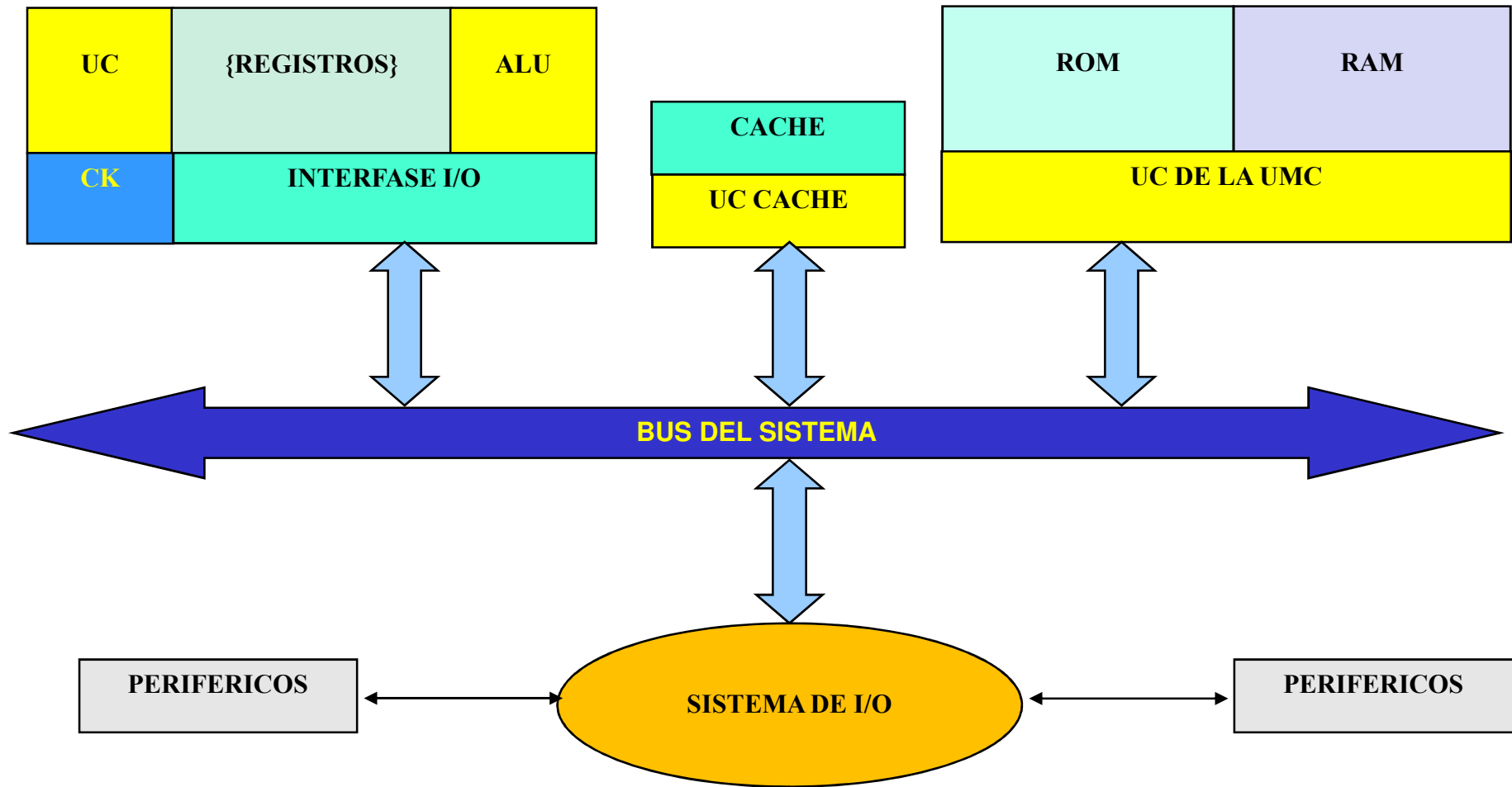


ARQUITECTURA PC – MOTHER ACTUAL

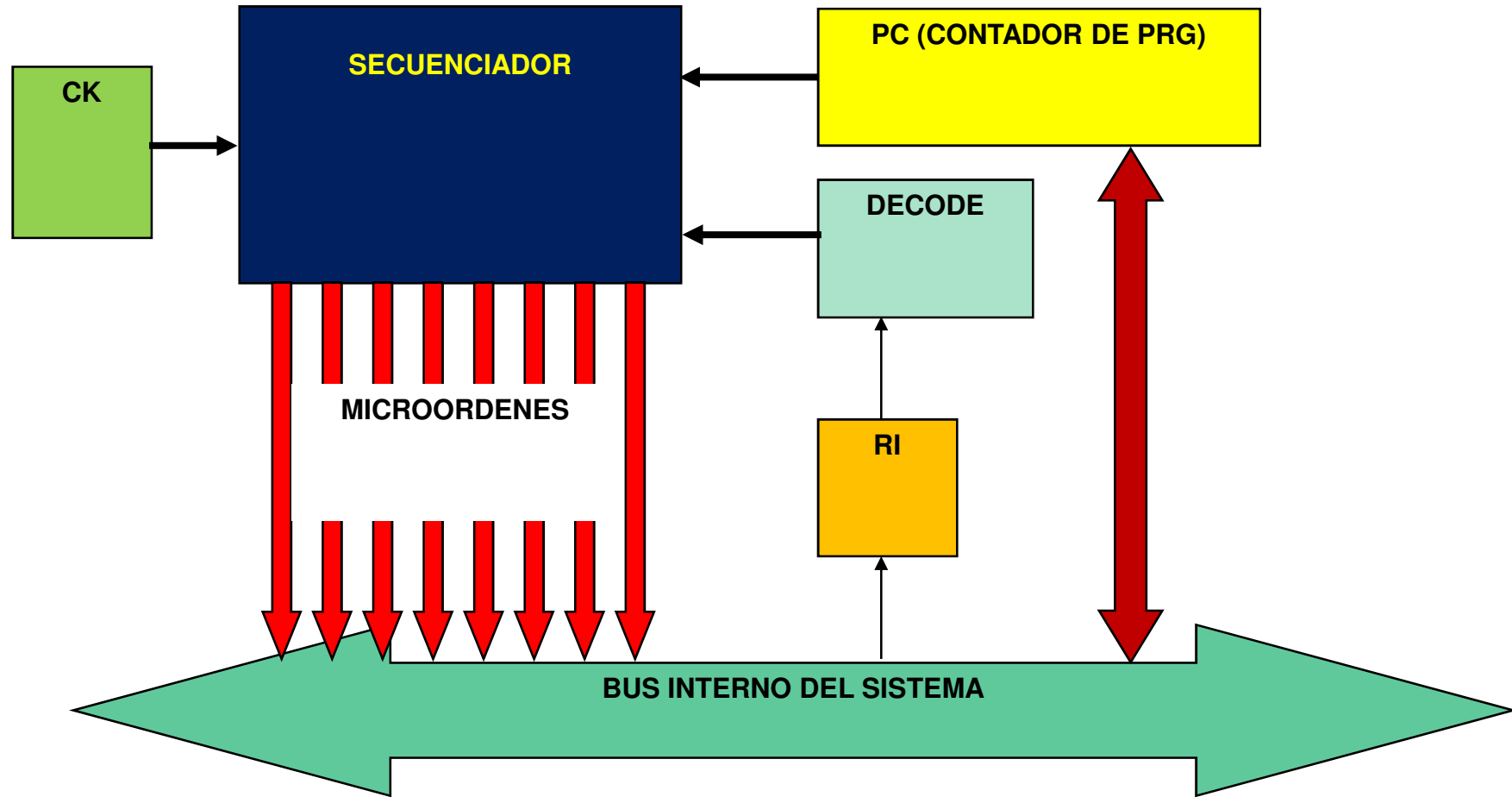




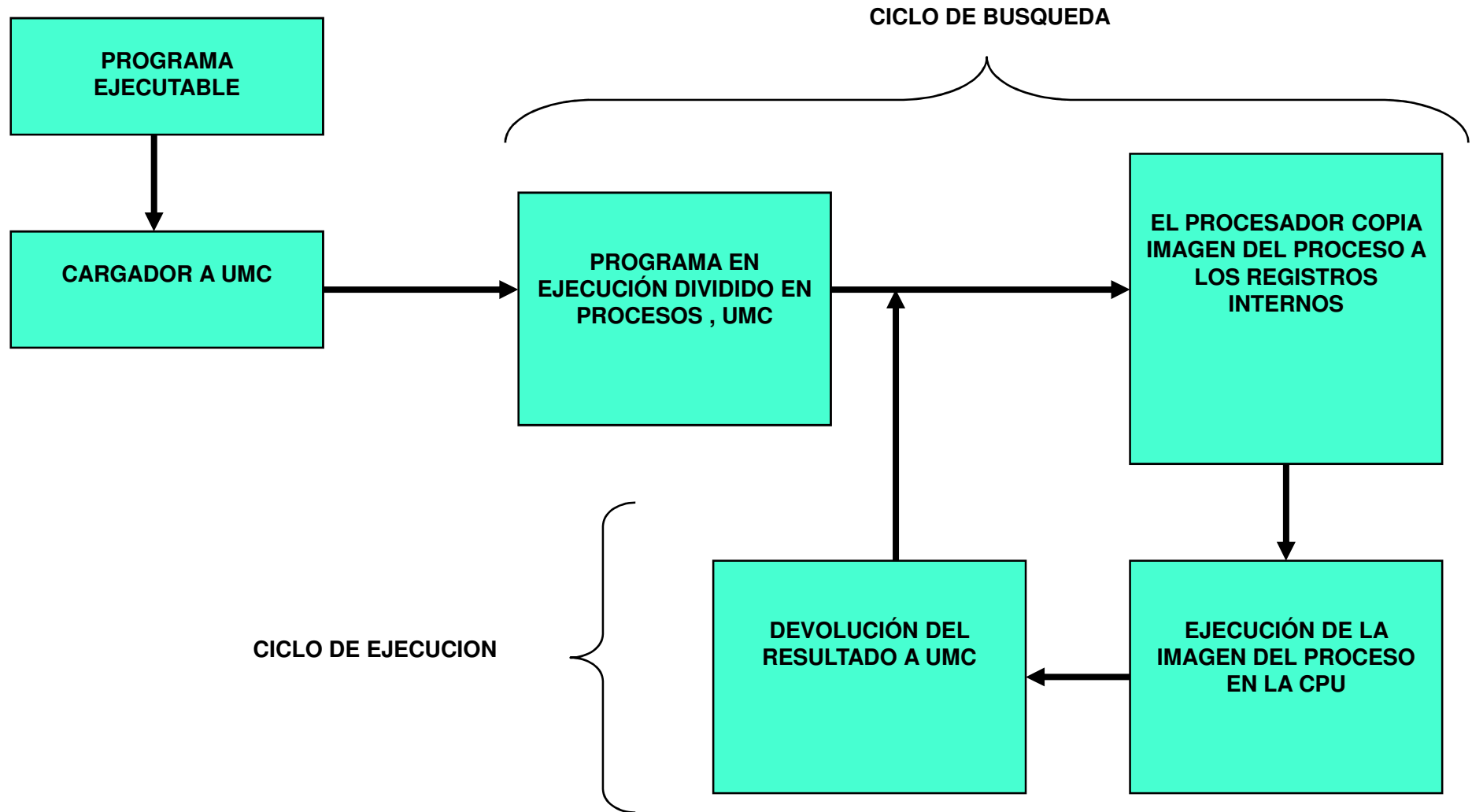
# COMPUTADORA: ARQUITECTURA

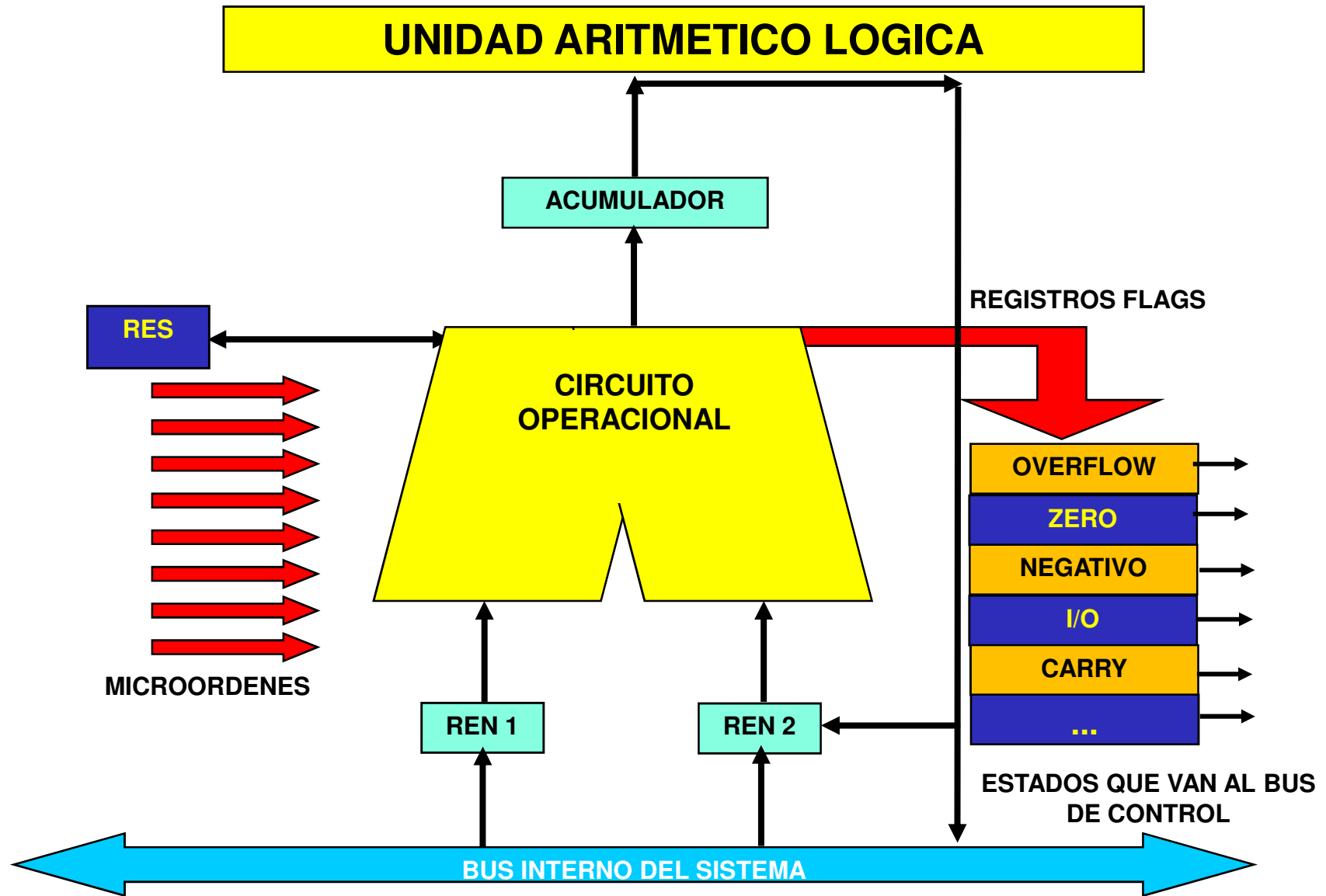


**UNIDAD DE CONTROL**

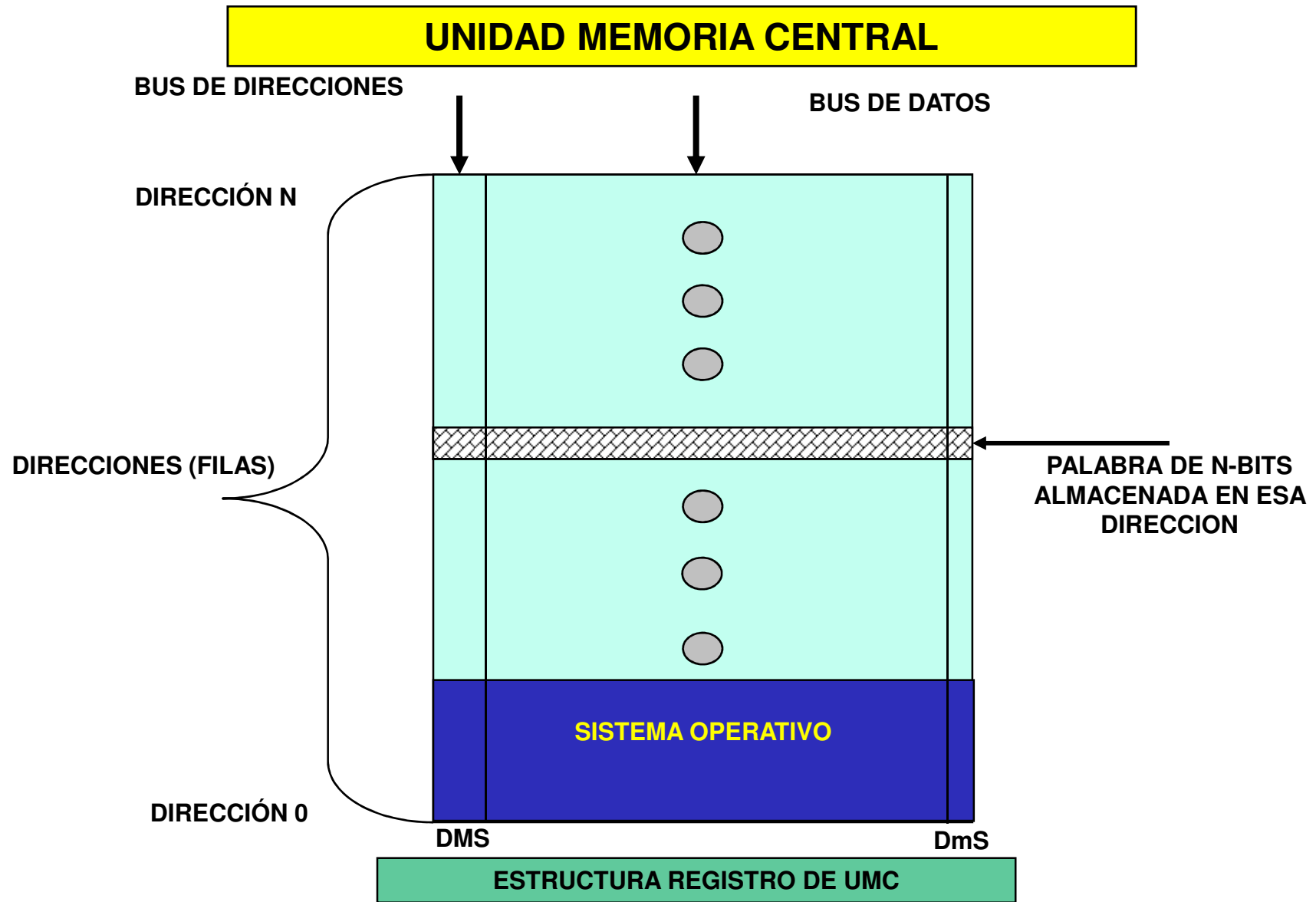


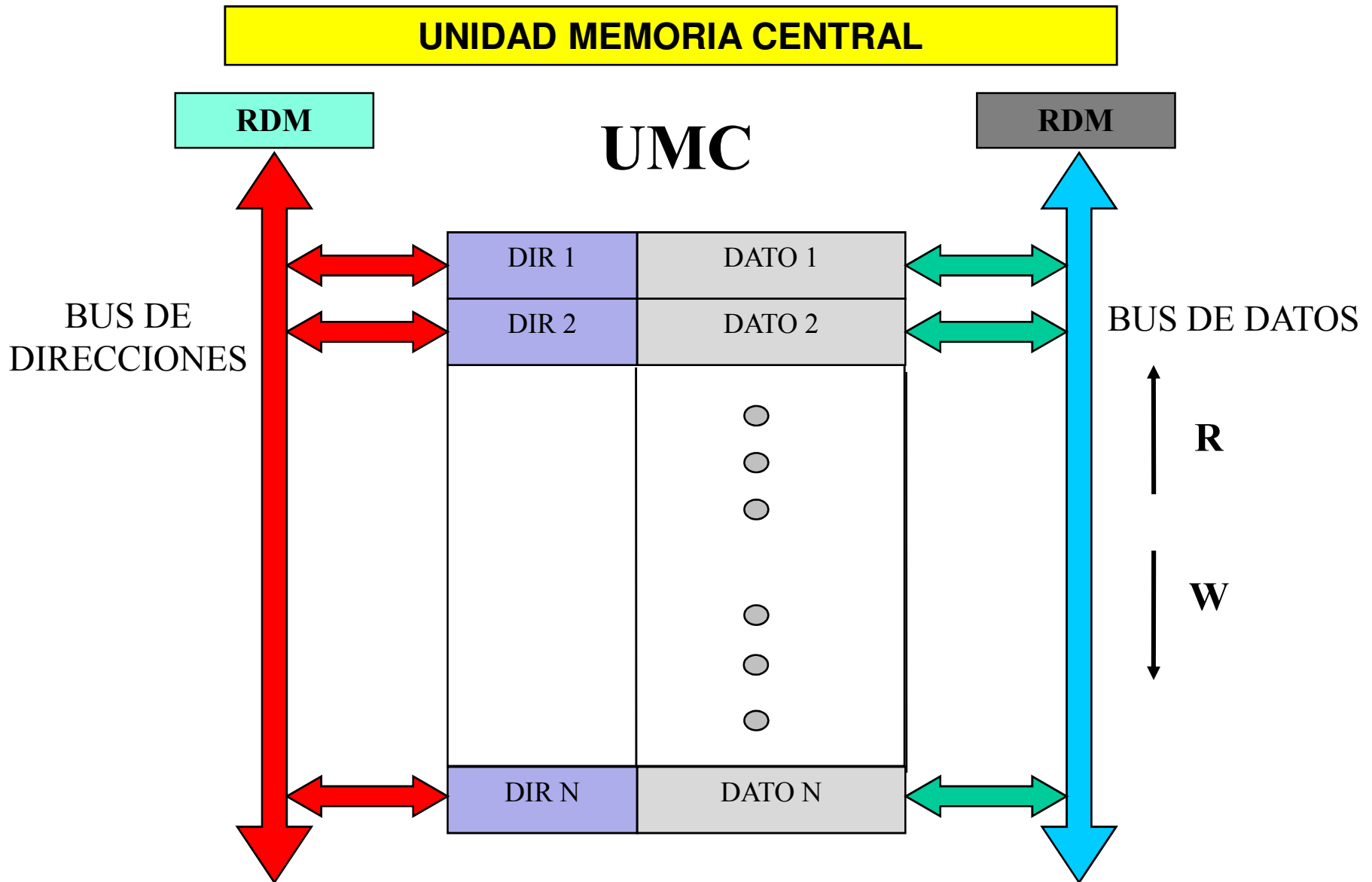
SECUENCIA DE EJECUCION DE UN PROGRAMA











JERARQUIA DE MEMORIA

Williams Stallings SISTEMAS OPERATIVOS. Principios de diseño e interioridades. 4ta ed. Pearson Educación S.A. Madrid, 2001 ISBN: 84-205-3177-4

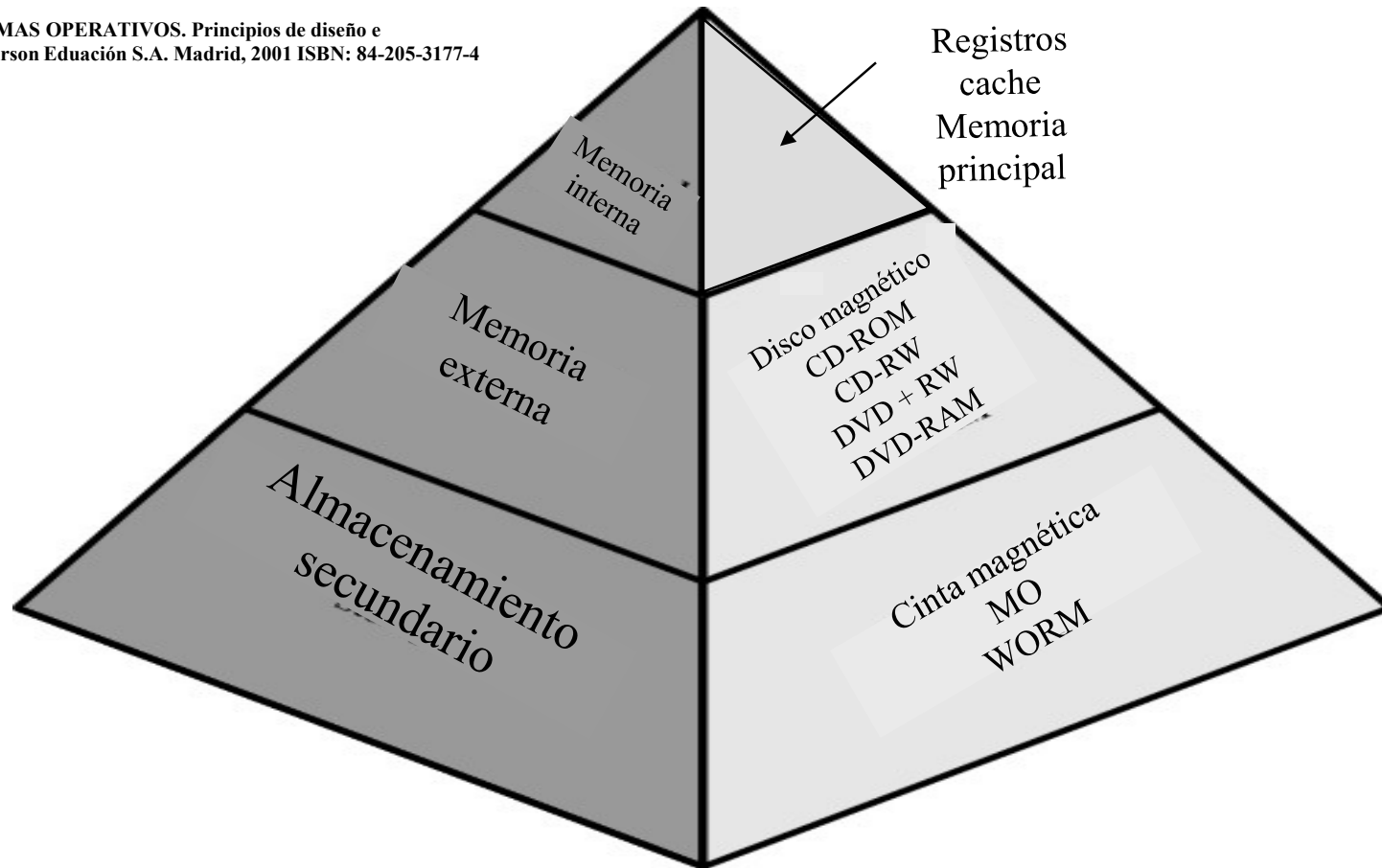


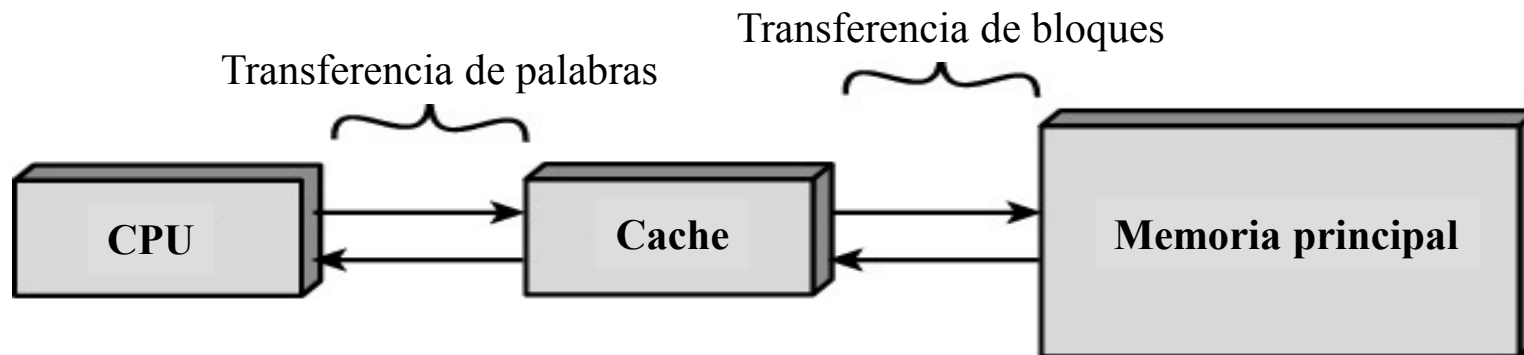
Figura 1.14. La jerarquía de la memoria.

**MEMORIA: DESCENSO POR LA JERARQUIA**

- ❖ DISMINUCION DEL COSTO POR BIT.
- ❖ AUMENTO DE LA CAPACIDAD.
- ❖ AUMENTO DEL TIEMPO DE ACCESO.
- ❖ DISMINUCION DE LA FRECUENCIA DE ACCESO A LA MEMORIA POR PARTE DEL PROCESADOR:
  - **CERCANIA DE REFERENCIAS.**

**MEMORIA CACHE**

**Es una parte de la memoria principal que se puede utilizar como buffer para guardar temporalmente los datos transferidos con el disco. Memoria temporal**



**Figura 1.16.** Cache y memoria principal.

**MEMORIA CACHE**

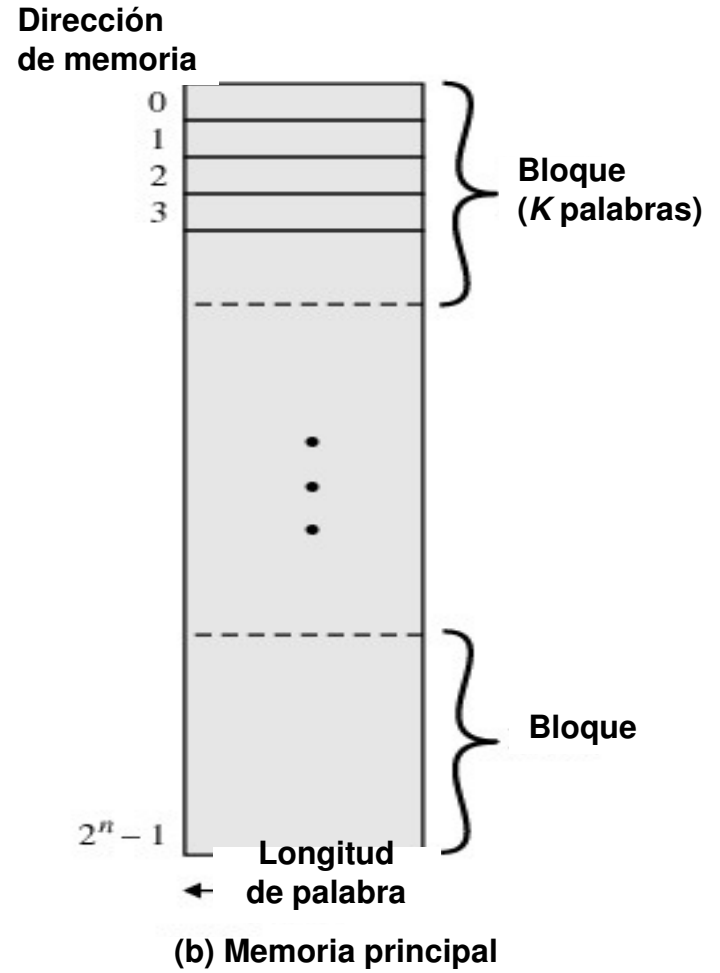
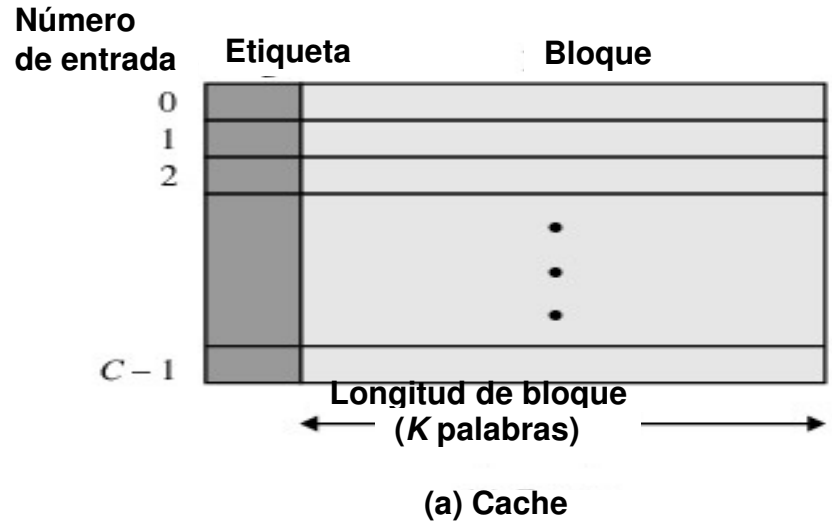
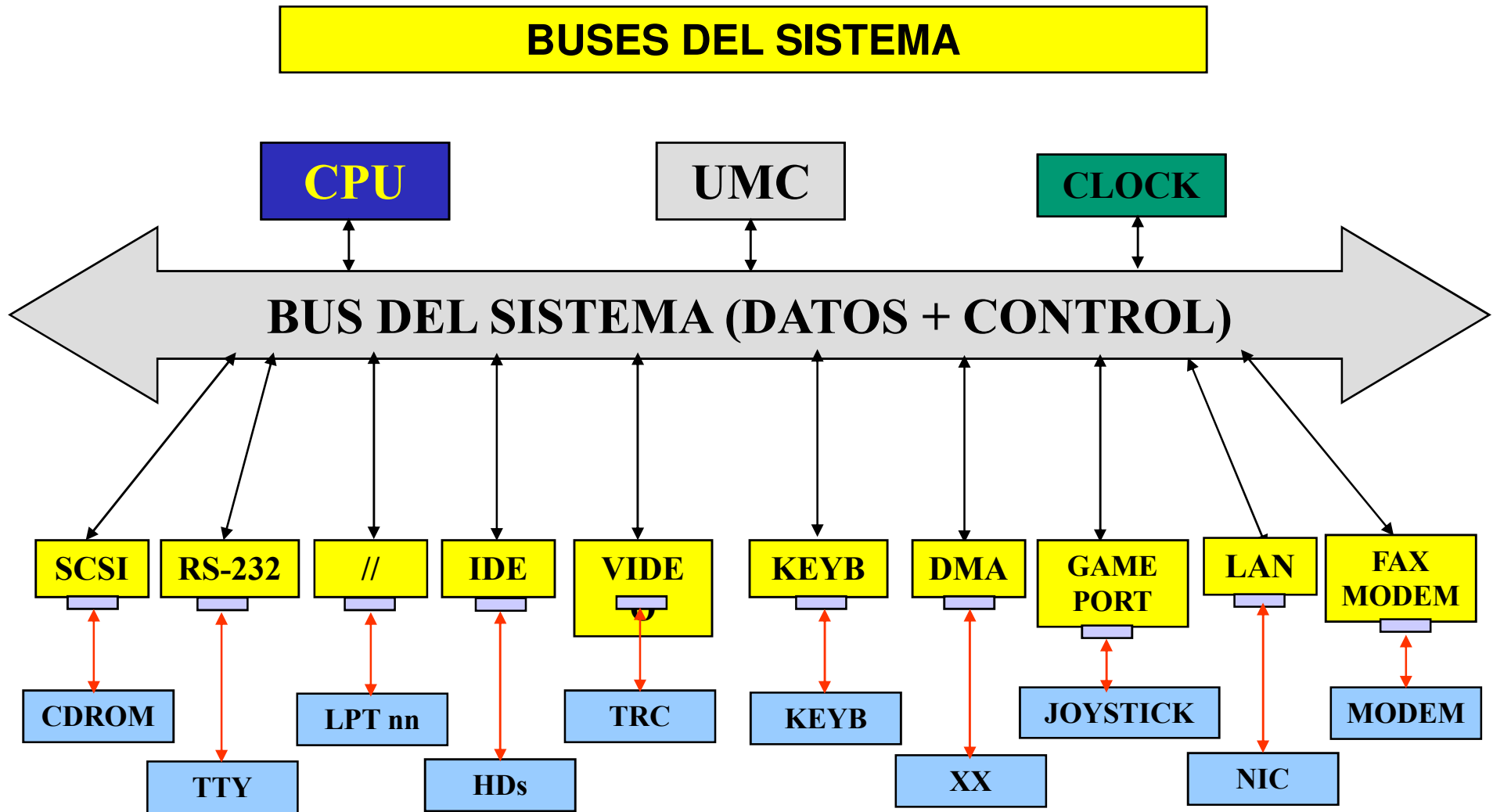
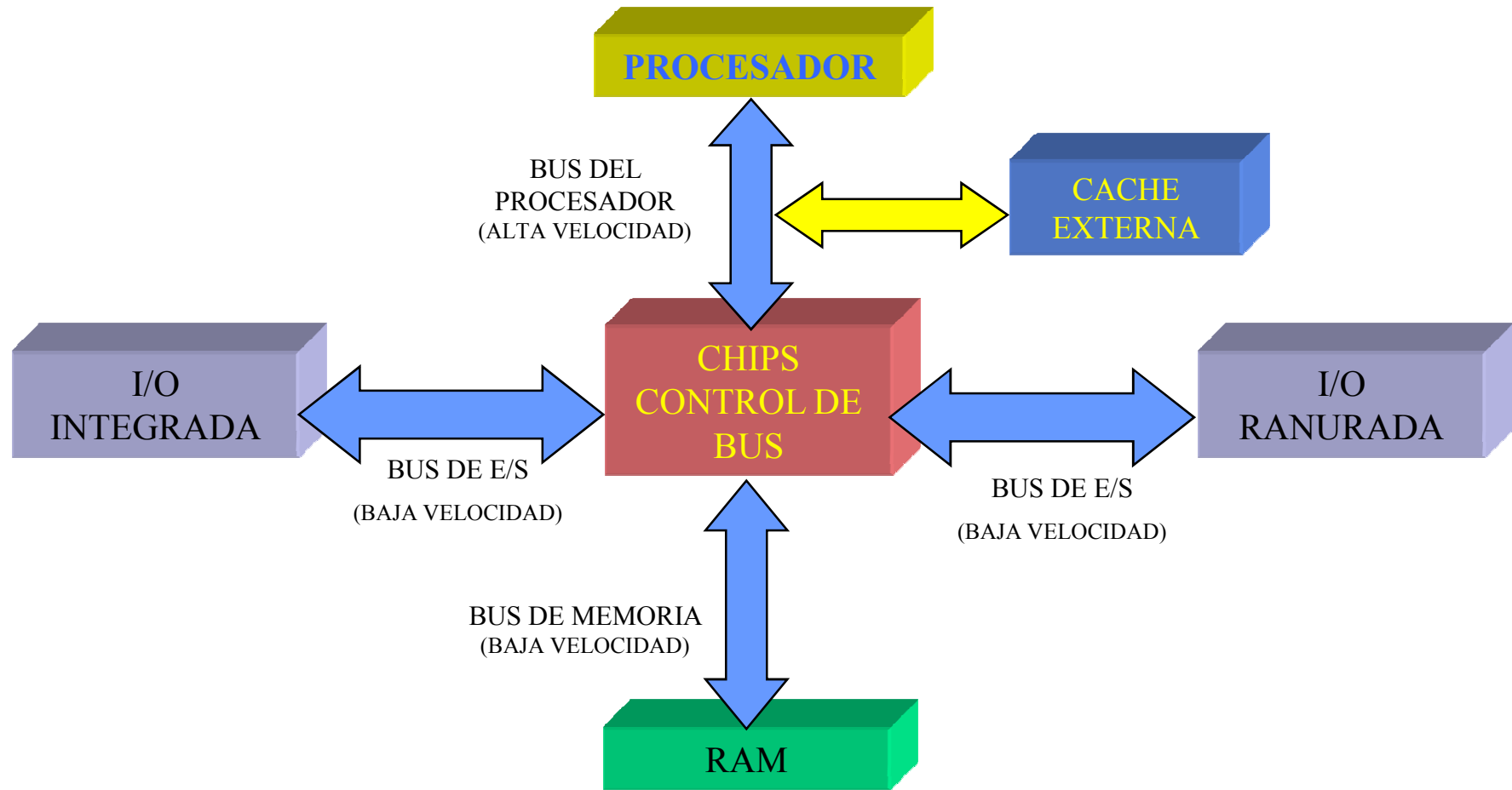


Figura 1.17. Estructura de cache/memoria principal.



**BUSES: DISPOSICION EN PC TRADICIONAL**



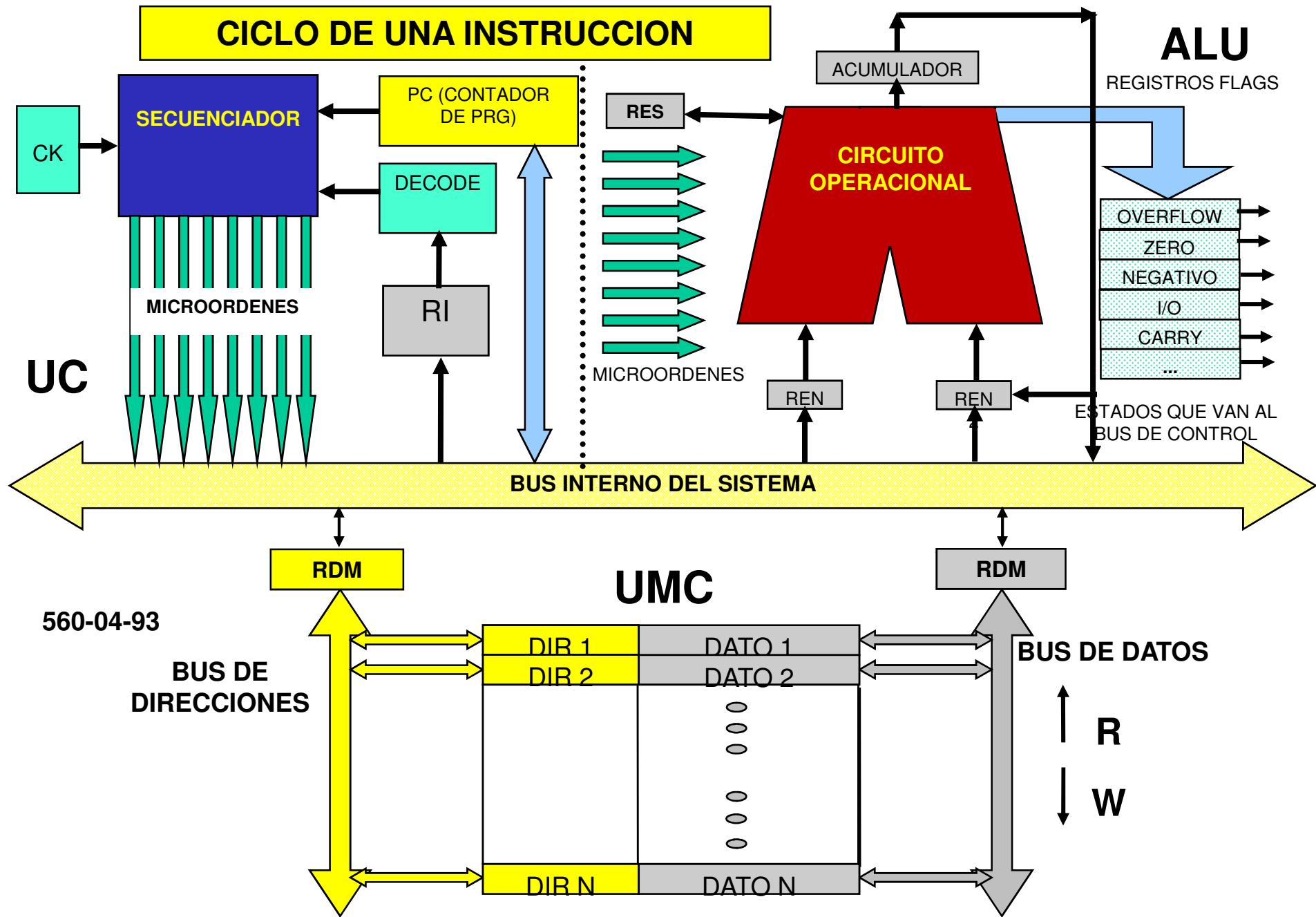


**BUSES: LOS MÁS IMPORTANTES**

<b>BUS</b>	<b>CARACTERISTICAS</b>
<b>PROCESADOR</b>	<p>LLAMADO FSB (BUS FRONTAL)                      TRANSFIERE INFO ENTRE CACHE Y LA UMC.                      VELOC. DE 66, 100, 133, 200MHZ.                      64 BITS</p>
<p><b>AGP</b>                      (PUERTO ACELERADOR DE                      GRAFICOS)</p>	<p>32 BITS                      VELOC. 66 MHZ (AGP 1X) 133MHZ (AGP 2X) 266MHZ (AGP 4X).                      ANCHO DE BANDA; 1.066MB/S                      CONECTADO AL CONTROLADOR DE MEMORIA</p>
<p><b>PCI</b>                      (INTERFAZ CON                      PERIFERICOS)</p>	<p>32 BITS Y 33MHZ DE VELOC. VERSION OPCIONAL DE 64 BITS                      Y 66MHZ.                      CONECTADO AL CONTROLADOR DE MEMORIA.                      CINCO RANURAS DE 32 BITS EN MOTHERS.                      CONECTA SCSI, NICs, VIDEO, IDE Y USB</p>
<b>ISA</b>	<p>8 MHZ, 16 BITS. PARA PERIF. LENTOS</p>

**BUSES: NORMALIZACION**

<b>NORMA</b>	<b>PALABRA (BITS)</b>	<b>VELOC. (MHZ)</b>	<b>ANCHO DE BANDA (MB/S)</b>
XT	8	4.77	2.39
ISA	8 16	4.77 8.33	2.39 8.33
EISA (NO USADOS)	32	8.33	33.3
VLB (NO USADOS)	32	33.33	133.33
PCI	32	33.33	133.33
PCI-2X	32	66.66	266.66
PCI 64 BITS	64	33.33	266.66
PCI -2X 64 BITS	64	66.66	533.33
AGP	32	66.66	266.66
AGP-2X	32	66.66	533.33
AGP-4X	32	66.66	1066.66



## BIBLIOGRAFIA DE REFERENCIA

- ❖ . Estructuras y Diseño de Computadoras (La Interfaz hardware/Software). David. Patterson y John Hennessy. 4ta Edición. Ed. Reverte. Barcelona, 2011.
- ❖ Organización y Arquitectura de Computadores. Willams Stallings. Prentice-Hall. 2006. 7ed.
- ❖ . Organización y Arquitectura de Computadoras. Jaime Martinez Garza, Jorege Agustín Olvera Rodríguez. Prentice-Hall. 1era Edición. 2000.
- ❖ . Manual de Actualización y reparación de PCs, 12 edición. Scott Mueller. Que, Prentice Hall, 2001.
- ❖ . Organización de Computadores, un enfoque estructurado, 7 edición. Andrew Tanenbaun. Prentice Hall, 2001.
- ❖ . ESTRUCTURA INTERNA DE LA PC. Gastón C. Hillar. Ed. Hasa. 4ta. Edición. Bs.As.Feb. 2004.
- ❖ . ORGANIZACIÓN Y ARQUITECTURA DE COMPUTADORES. Willams Stallings. Prentice-Hall. 2000.
- ❖ . CIENCIAS DE LA COMPUTACION. Brookshear. Addison Wesley.
- ❖ . REDES DE ORDENADORES. Andrew Tannenbaum. Prentice Hall.

**FIN DEL UNIDAD 2**

**ARQUITECTURA  
COMPUTADOR**

